



SILABO

I. INFORMACIÓN GENERAL

1.1.	Nombre del curso	ELECTRÓNICA Y CIRCUITOS DIGITALES
1.2.	Código	IS16061
1.3.	Año Calendario	2019
1.4.	Semestre Académico	II
1.5.	Créditos	04
1.6.	Pre - requisitos	IS16051 - IS16052
1.7.	No. Total de Horas presenciales :	
	• Horas Teóricas	: 03
	• Horas Prácticas	: 02
	• Total Horas	: 05
1.8.	Duración del curso	17 semanas
1.9.	Docente responsable del curso	Ing. Guido Bravo Mendoza

II. SUMILLA

Es de naturaleza teórico-práctico, el propósito es brindar conocimientos a los estudiantes en el análisis y diseño de circuitos electrónicos y digitales tanto análogos como digitales, comprende los siguientes temas: fundamentos de los circuitos electrónicos, métodos de análisis de circuitos electrónicos, sistemas de numeración, compuertas lógicas, funciones booleanas, circuitos combinacionales, circuitos secuenciales, sistema digital, transistores, procesadores PIC.

III. COMPETENCIA

Conceptualiza, analiza y diseñar circuitos electrónicos analógicos y digitales usando componentes electrónicos activos y pasivos, las compuertas lógicas y secuenciales, las tecnologías TTL y CMOS y el software de aplicación (proteus), con responsabilidad y creatividad.

IV. RESULTADOS DE APRENDIZAJE

- Comprende el funcionamiento de los dispositivos y sistemas electrónicos digitales.
- Proporciona destreza para el análisis y diseño de circuitos digitales con compuertas lógicas y expresiones booleanas.
- Comprende a partir de circuitos básicos combinacionales el funcionamiento de una máquina digital.



V. CONTENIDO

Introducción a los sistemas electrónicos digitales y puertas lógicas, algebra de Boole y simplificación.

UNIDAD DIDACTICA I

- Introducción a la naturaleza de los circuito electrónicos digitales
- Señales analógicas y digitales
- Magnitudes analógicas y digitales
- Digitales binarios , niveles lógicos y formas de onda digitales
- Electrónica digital. El transistor como elemento decisor.
- Numero decimales y binarios : Conversión de números
- Aritmética binaria : Operaciones aritméticas de números con signo
- Puertas: NOT , AND , OR , NAND , NOR , OR-exclusiva y NOR-exclusiva
- Operaciones y expresiones booleanas
- Leyes y reglas del algebra de Boole ; Teorema de D'Morgan
- Análisis Booleano de los circuitos lógicos
- Simplificación mediante del algebra de Boole
- Formas estándar de las expresiones booleanas
- Expresiones Booleanas y tablas de verdad
- Mapas de Karmaugh
- Minimización de expresiones booleanas mediante los mapas de kamaugh.

Lógica combi nacional y funciones de lógica combi nacional y lógica secuencial.

UNIDAD DIDACTICA II

- Circuito lógico combinacionales especiales
- Implementación de la lógica combinacional
- La propiedad universal de las puertas NAND y NOR
- Lógica combinacional utilizando puertas universales
- Sumadores básicos y sumadores paralelos binarios
- Decodificadores y Codificadores
- Comparadores: Conversor de código
- Multiplexores y Demultiplexores
- Generadores / Comprobadores de paridad
- Latches,
- Flip-Flops disparados por flanco
- Cracteristicas de funcionamiento de los flip-flops



- Aplicaciones de los flip-flops

VI. ESTRATEGIAS DIDÁCTICAS

- Método Expositivo – Interactivo. Disertación docente, exposición del estudiante.
- la solución de problemas y ejercicios orientados a fortalecer las capacidades para el desarrollo de cada uno de los momentos del aprendizaje de la electrónica y los sistemas digitales. De esta manera, el alumno participará en controles y presentará ejercicios.
- Método de Demostración – Ejecución. El docente ejecuta para demostrar cómo y con que se hace y el estudiante ejecuta, para demostrar que aprendió.

VII. MEDIOS Y MATERIALES

	Medios	Materiales
Auditivos		Voz humana
Visuales		Pizarra Trabajos Textos Laptop
Audiovisuales		Multimedia Videos USB

VIII. EVALUACIÓN

Código	Nombres	Promedio Parcial 1					Promedio Parcial 2					Nota Final				
		PC1	IF1	EXP1	EA1	EP1	PC2	IF2	EXP2	EA2	EP2	PP2	PF	A	P A	
																PP1
		Practica Calificada	Formativa	Exposición	Actitudinal	Examen Parcial 01	Promedio Parcial 1	Practica Calificada	Formativa	Exposición	Actitudinal	Examen Parcial 02	Promedio Parcial	Promedio Final	Aplazado	Promedio Acta
		Nota: Las notas para la obtención del promedio parcial 1 estará abierto desde la semana 1 hasta la semana 8					Nota: Las notas para la obtención del promedio parcial 2 estará abierto desde la semana 9 hasta la semana 16							Nota: La nota del aplazado		



				será en la semana 17
--	--	--	--	----------------------

Legenda:

Promedio Parcial 1

Practica Calificada	=	PC1
Investigación Formativa	=	IF1
Exposición	=	EXP 1
Evaluación Actitudinal	=	EA1
Examen Parcial 01	=	EP1
Promedio Parcial : (PC1+IF1+EXP1+EA1+EP1)/5	=	PP1

Nota: Las notas para la obtención del promedio parcial 1 estará abierto desde la semana 1 hasta la semana 8

Promedio Parcial 2

Practica Calificada	=	PC2
Investigación Formativa	=	IF2
Exposición	=	EXP 2
Evaluación Actitudinal	=	EA2
Examen Parcial 01	=	EP2
Promedio Parcial : (PC2+IF2+EXP2+EA2+EP2)/5	=	PP2

Nota: Las notas para la obtención del promedio parcial 2 estará abierto desde la semana 9 hasta la semana 16

Nota Final

Promedio Final: (PP1+PP2)/2	=	PF
Aplazado : Reemplaza al promedio final siempre que haya obtenido 7 como mínimo	=	A
Promedio Acta	=	PA

Nota: La nota del aplazado será en la semana 17

IX. BIBLIOGRAFÍA Y DIRECCIONES ELECTRONICAS.



- Angulo U, J., & García Z., J. (2002). *Sistemas Digitales y Tecnologías de Computadores*. Thomson Editores Spain Paraninfo S.A.
- Floyd, L. T. (1999). *Fundamentos de sistemas digitales 9na edición*. Marcombo: Alfaomega S.A.
- Morris, M. M., & R. Kime, C. (1998). *Fundamentos de diseño lógico y computadoras*. Prentice-Hall Hispanoamericana S. A

Enlace de internet.

- <http://biblioteca.utea.edu.pe/cgi-bin/koha/opac-detail.pl?biblionumber=5534>
- http://biblioteca.utea.edu.pe/cgi-bin/koha/opac-detail.pl?biblionumber=8571&query_desc=au%3A%22Boylestad%2C%20Robert%20L.%22
- <http://biblioteca.utea.edu.pe/cgi-bin/koha/opac-search.pl?q=au:%22Tocci%2C%20Ronald%20%20J.%22>
- <http://biblioteca.utea.edu.pe/cgi-bin/koha/opac-detail.pl?biblionumber=12981>
- <http://biblioteca.utea.edu.pe/cgi-bin/koha/opac-detail.pl?biblionumber=7964>

Abancay, Setiembre del 2019

ING. GUIDO BRAVO MENDOZA
DOCENTE CONTRATADO TIEMPO COMPLETO



ANEXO 2

PROGRAMACIÓN DE ACTIVIDADES

N° de sesión por semana	Fecha y hora	Contenidos	Actividades de aprendizaje	Docente responsable
1	17/09/2019 09:40 am - 12:10 pm	Presentación de sílabos e introducción al curso.	Exposición platicada.	
2	19/09/2019 09:40 am - 11:20 pm	Introducción a la naturaleza de los circuitos electrónicos digitales Señales analógicas y digitales Magnitudes analógicas y digitales	Exposición platicada.	
3 y 4	24 y 26/09/2019 09:40 am - 12:10 pm	Digitales binarios, niveles lógicos y formas de onda digitales Electrónica digital. El transistor como elemento decisor Técnicas de Modelización	Exposición platicada.	
5 y 6	01 y 03/10/2019 09:40 am - 12:10 pm	Numero decimales y binarios: Conversión de números Aritmética binaria: Operaciones aritméticas de números con signo	Exposición platicada y practicas	
7 y 8	08 y 10/10/2019 09:40 am - 12:10 pm	Puertas: NOT , AND , OR , NAND , NOR , OR-exclusiva y NOR-exclusiva Operaciones y expresiones booleanas Leyes y reglas del algebra de Boole ; Teorema de D'Morgan	Exposición platicada y practicas	Ing. Guido Bravo Mendoza
9 y 10	15 y 17/10/2019 09:40 am - 12:10 pm	Análisis Booleano de los circuitos lógicos Simplificación mediante del algebra de Boole	Exposición platicada y practicas	
11 y 12	22 y 24/10/2019 09:40 am - 12:10 pm	Formas estándar de las expresiones booleanas Expresiones Booleanas y tablas de verdad Mapas de Karnaugh	Exposición platicada y practicas	
13 ,14 y 15	29 y 31/10/2019 09:40 am - 12:10 pm	Minimización de expresiones booleanas mediante los mapas de karnaugh. Circuito lógico combinacionales especiales	Exposición platicada y practicas	
16	05 y 07/11/2019 09:40 am - 12:10 pm	Implementación de la lógica combinacional La propiedad universal de las puertas NAND y NOR Lógica combinacional utilizando puertas universales	Exposición platicada y practicas	
17 y 18	12 y 14/11/2019	Sumadores básicos y sumadores paralelos binarios	Exposición platicada y	



	09:40 am - 12:10 pm	Decodificadores y Codificadores Comparadores: Conversor de código	practicadas	
19 y 20	19 y 21/11/2019 09:40 am - 12:10 pm	Multiplexores y Demultiplexores Generadores / Comprobadores de paridad	Exposición platicada y practicadas	Ing. Guido Bravo Mendoza
21 y 22	26 y 28/11/2019 09:40 am - 12:10 pm	Latches, Flip-Flops disparados por flanco Características de funcionamiento de los flip-flops	Exposición platicada y practicadas	
23 y 24	03 y 05/12/2019 09:40 am - 12:10 pm	El temporizador 555 Funcionamiento de los contadores asíncronos y síncronos	Exposición platicada y practicadas	
25 y 26	10 y 12/12/2019 09:40 am - 12:10 pm	Diseño de contadores Contadores en cascada FPGA CPLD Aplicación de los contadores	Exposición platicada y practicadas	
27	17/12/2019 09:40 am - 12:10 pm	Funciones básicas de los registros de desplazamientos Registro de desplazamiento con entrada y salida serie, entrada serie y salida paralelo	Exposición platicada y practicadas	
28	19/12/2019 09:40 am - 11:20 pm	Registro de desplazamiento con entrada paralelo y salida serie, entrada y salida paralelo Registro de desplazamiento bidireccionales	Exposición platicada y practicadas	
29	24/12/2019 09:40 am - 12:10 pm	Contadores basados en registros de desplazamiento Aplicaciones de los registros de desplazamiento	Exposición platicada y practicadas	
30	26/12/2019 09:40 am - 11:20 pm	Memorias de acceso aleatorio (RAM) Memoria de solo lectura (ROM)	Exposición platicada y practicadas	
31	31/12/2019 09:40 am - 12:10 pm	Memoria de solo lectura (ROM) Memoria ROM programables (PROM y EPROM)	Exposición platicada y practicadas	
32	01/01/2020 09:40 am - 12:10 pm	Expansión de memorias Tipos especiales de memorias Memorias ópticas y magnéticas	Exposición platicada y practicadas	
33 y 34	07 - 09/01/2020 09:40 am - 12:10 pm	Exámenes finales y subida a la plataforma de moodle.		